

LPF/HPF PHASE SHIFTER

Publication number: JP2151113

Publication date: 1990-06-11

Inventor: IDEI YOSHIHIRO

Applicant: NIPPON ELECTRIC CO

Classification:

- International: H03H7/01; H03H7/20; H03H11/04; H03H7/20;
H03H7/01; H03H7/00; H03H11/04; H03H7/00; (IPC1-7):
H03H7/01; H03H7/20; H03H11/04

- European:

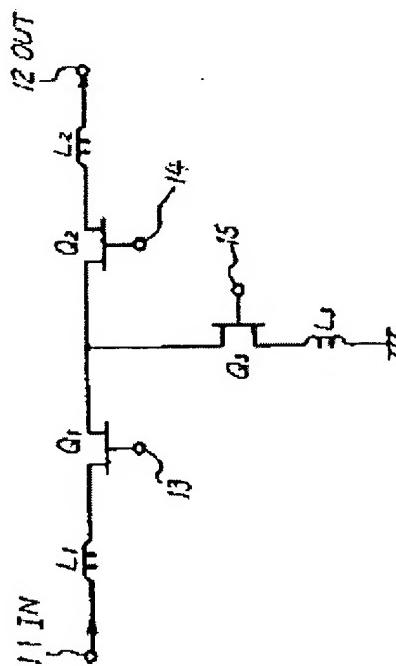
Application number: JP19880305225 19881201

Priority number(s): JP19880305225 19881201

Report a data error here

Abstract of JP2151113

PURPOSE: To make the chip size of an IC small and to reduce the insertion loss by connecting three inductors and three MESFETs connected in series to them respectively as a T-shape and switching the filter as an LPF or an HPF depending on a control voltage applied to the gate of each MESFET. CONSTITUTION: MESFETs Q1-Q3 acting like switches are regarded equivalently as resistors with a small resistance at their ON state and as capacitors as their OFF state. The capacitance of the capacitor caused at the OFF state is varied with the gate width of the MESFETs Q1-Q3. Thus, with the gate width of the MESFETs Q1-Q3 selected properly, a 1st equivalent circuit is regarded as an LPF with the MESFETs Q1, Q2 turned on and the MESFET Q3 turned off. Moreover, the circuit acts like an HPF with the MESFET Q1, Q2 turned off and the MESFET Q3 turned on. The entire circuit acts like an LPF/HPF phase shifter by switching the two states depending on the applied voltage to terminal 13-15.



Data supplied from the esp@cenet database - Worldwide

⑫公開特許公報(A) 平2-151113

⑬Int.Cl.⁵H 03 H 11/04
7/01
7/20

識別記号

府内整理番号

⑭公開 平成2年(1990)6月11日

C
E7741-5J
7328-5J
7328-5J

審査請求 未請求 請求項の数 1 (全3頁)

⑮発明の名称 LPF/HPF移相器

⑯特願 昭63-305225

⑰出願 昭63(1988)12月1日

⑱発明者 出井 義浩 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲出願人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳代理人 弁理士 内原 晋

明細書

(産業上の利用分野)

本発明はLPF/HPF移相器に関し、特にMESFETのスイッチング容量を用いた移相器に関する。

(従来の技術)

従来、この種のLPF/HPF移相器の基本的な等価回路は、第3図に示す様に、LPF用の素子としてインダクタL₄、L₅およびキャパシタC₃、HPF用の素子としてキャパシタC₁、C₂およびインダクタL₆を有し、これらLPFとHPFの切換スイッチとして用いられるMESFET Q₄～Q₉とから構成されている。

(発明が解決しようとする課題)

上述した従来のLPF/HPF移相器は、この移相器をIC化する場合、切換スイッチであるMESFETの数が多く、更に広い面積を必要とするキャパシタを含むので、ICのチップサイズを小型化し難く、またそのために損失が大きくなるという欠点がある。

本発明の目的は、このような欠点を除き、ME

発明の名称

LPF/HPF移相器

特許請求の範囲

第1および第2のMESFETのドレイン電極にそれぞれ第1および第2のインダクタを接続した第1および第2の回路を用いてそれぞれのソース電極を接続して直列回路を形成し、第3のMESFETのソース電極に一端を接地させたインダクタとを接続した第3の回路を、そのドレイン電極が前記第1、第2のMESFETのソース電極接続端と接続されてT形回路を構成し、前記第1、第2および第3の各MESFETのゲート電極に印加する制御電圧により、LPFまたはHPFに切換えることを特徴とするLPF/HPF移相器。

発明の詳細な説明

S F E T の数を少くすると共に、チップサイズを小型化した L P F / H P F 移相器を提供することにある。

[課題を解決するための手段]

本発明の L P F / H P F 移相器の構成は、第 1 および第 2 の M E S F E T のドレイン電極にそれぞれ第 1 および第 2 のインダクタを接続した第 1 および第 2 の回路を用いてそれぞれのソース電極を接続して直列回路を形成し、第 3 の M E S F E T のソース電極に一端を接地させたインダクタとを接続した第 3 の回路を、そのドレイン電極が前記第 1 、第 2 の M E S F E T のソース電極接続端と接続されて T 形回路を構成、前記第 1 、第 2 および第 3 の各 M E S F E T のゲート電極に印加する制御電圧により、 L P F または H P F に切換えることを特徴とする。

[実施例]

次に、本発明について図面を参照して説明する。

第 1 図は本発明の一実施例の等価回路図であ

る。本実施例は、3つのインダクタ L_1 、 L_2 、 L_3 とこれらに直列接続された3つの M E S F E T Q_1 、 Q_2 、 Q_3 とを T 型に接続し、端子 1 1 、 1 2 を入出力端子とした2ポート回路であり、端子 1 3 ～ 1 5 は各々 M E S F E T Q_1 ～ Q_3 の O N / O F F を制御するゲート端子である。

スイッチとしての M E S F E T Q_1 ～ Q_3 は、等価的にオン状態で小さな抵抗に、オフ状態ではキャパシタに置き換えられる。このオフ状態でのキャパシタ容量は各 M E S F E T Q_1 ～ Q_3 のゲート幅で変えることができるので、 M E S F E T Q_1 ～ Q_3 のゲート幅を適切に選ぶと、第 1 の等価回路は、(1) M E S F E T Q_1 、 Q_2 がオン、 M E S F E T Q_3 がオフ状態で L P F となり、(2) M E S F E T Q_1 、 Q_2 がオフ、 M E S F E T Q_3 がオン状態で H P F となる。従って、これら(1)、(2)の状態を端子 1 3 、 1 4 、 1 5 への印加電圧によって切換えることにより、 L P F / H P F 移相器として動作させることができ

る。また、インダクタ L_1 、 L_2 のインダクタンスには、理想 T 型 L P F に於けるインダクタの値を選び、インダクタ L_3 のインダクタンスには、理想 T 型 H P F の値を選び、各々 M E S F E T のゲート幅は、オフ状態でのキャパシタ容量が所望の移相量を満たす値に選ぶ。

次に、具体的な例として、 G a a s M E S F E T (ゲート長 $0.5 \mu m$ 、 $V_T = -1.2 V$) を用いて中心周波数 $9.7 GHz$ 、帯域幅 $1 GHz$ 、移相量 90° の場合のシミュレーション結果を第 2 図に示す。

第 2 図 (a) は、各々 L P F と H P F の状態でのリターンロスの周波数特性 $1 b$ および $2 b$ を示し、帯域内に於いて $24 dB$ 以上が得られている。また、第 2 図 (b) は各々 L P F と H P F の状態での挿入損 $3 b$ および $4 b$ の特性図であり、帯域内に於いて約 $1 dB$ となっている。第 2 図 (c) は、 L P F / H P F 移相器としての移相量の特性図を示し、帯域内での最大移相誤差は 2.1° であるが、移相変動量は 0.9° に抑えられていることを示している。

[発明の効果]

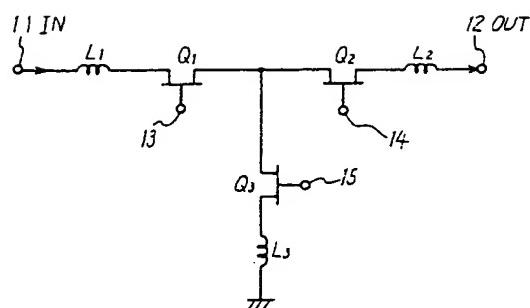
以上説明したように本発明は、 M E S F E T のスイッチング容量を利用することにより、回路構成上キャパシタを不要とすることができ、更に切換スイッチの素子数を低減させることができるので、 I C のチップサイズを大幅に低減でき、さらに挿入損失も小さくできるという効果がある。

図面の簡単な説明

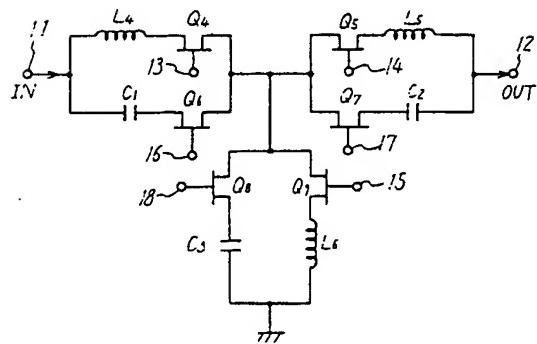
第 1 図は本発明の一実施例を示す等価回路図、第 2 図 (a) 、 (b) 、 (c) は第 1 図の等価回路の動作例のリターンロス挿入損および移相量の周波数特性図、第 3 図は従来の L P F / H P F 移相器の等価回路図である。

1 1 … 入力端子、 1 2 … 出力端子、 1 3 ～ 1 8 … 制御端子、 C_1 ～ C_3 … キャパシタ、 L_1 ～ L_3 … インダクタ、 Q_1 ～ Q_3 … M E S F E T 。

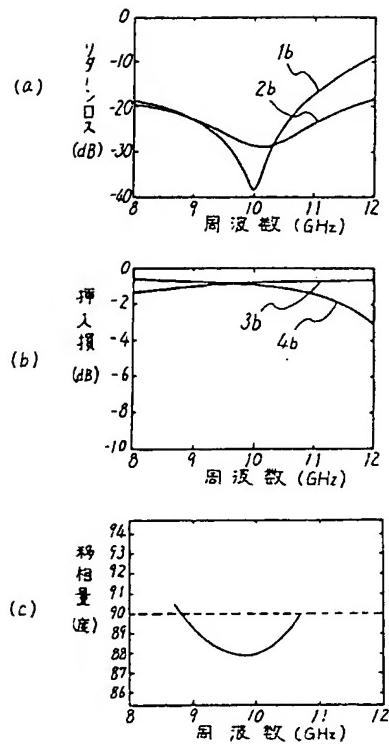
代理人 弁理士 内原晋



第 1 図



第 3 図



第 2 図